

Architectures d'opérateurs numériques auto-contrôlables

Mots clés :

- **Directeur de thèse** : LIRIDA NAVINER
- **Co-encadrant(s)** :
- **Unité de recherche** : Laboratoire Traitement et Communication de l'Information
- **Ecole doctorale** : École Doctorale Informatique, Télécommunications, Électronique de Paris
- **Domaine scientifique principal**: Divers

Résumé du projet de recherche (Langue 1)

****Contexte Scientifique**** : L'évolution régulière des finesse de gravure en microélectronique (loi de Moore) joue un rôle fondamental dans le développement économique depuis une cinquantaine d'années. Les technologies décanométriques conduisent désormais à des rendements nettement inférieurs à ceux obtenus avec les générations précédentes du fait de la proximité des limites physiques. Cette baisse de rendement et une variabilité paramétrique fortement accrue entraînent une moindre fiabilité des systèmes conçus pourtant fondamentale pour de nombreuses applications (médical, transports, spatial, etc.). De tels inconvénients seront également présents dans de futures nanotechnologies alternatives ou complémentaires. La littérature scientifique présente de nombreuses solutions de fiabilisation tant à un bas niveau d'abstraction (circuiterie) qu'à un niveau haut d'abstraction (le système ou l'application finale). Une comparaison simplifiée entre solutions bas niveau d'abstraction et haut niveau d'abstraction peut être synthétisée de la manière suivante : * Des solutions au niveau circuiterie, nous pouvons attendre une meilleure performance et une meilleure finesse dans la mesure où elles sont plus locales, mais elles représentent une dépendance importante vis-à-vis de la technologie. * Les solutions au niveau système présentent l'avantage d'une plus grande indépendance par rapport à la technologie et aux procédés de fabrication, mais ont vocation à être plus coûteuses en temps de réaction et en complexité (car globales, basées sur une grosse granularité du traitement). Cette thèse est dédiée à l'****étude de solutions de fiabilisation au niveau architectural****, encore insuffisamment explorées par la communauté scientifique. Nous entendons par architectural le niveau situé entre la circuiterie (une fonction = un assemblage de transistors) et le système (une fonction = un assemblage de processeurs complexes répondant à une application complète). D'une part, cette approche tient compte d'un contexte industriel européen de plus en plus //fables// et, d'autre part, elle permet au concepteur une plus grande latitude pour adapter les solutions envisageables à la dimension du problème traité. En effet, étant données les caractéristiques d'une application cible, l'approche architecturale permet d'adapter les besoins en localité, rapidité et finesse des mécanismes de tolérance aux pannes. Les solutions architecturales attendues doivent être auto-contrôlables, c'est-à-dire, pouvoir indiquer automatiquement l'occurrence d'une erreur ou masquer cette erreur. De même, les méthodes développées doivent être intégrables dans un flot de conception classique, c'est-à-dire, transparentes pour l'architecte concepteur. ****Objectifs**** : La fiabilisation des processeurs est basée sur une redondance du traitement de l'information. Cette redondance se traduit par un surcoût : surface, temps de propagation, consommation du processeur robustifié et temps de développement. L'objectif de cette thèse est de mettre au point des solutions architecturales nouvelles conduisant au meilleur rapport fiabilité-surcoût. # La mise au point d'opérateurs de calcul robustes dédiés au traitement du signal numérique. Cela comprend la proposition de nouveaux algorithmes et nouvelles architectures pour les calculs fondamentaux du traitement du signal (fonctions arithmétiques). # L'évaluation de l'impact des solutions envisagées sur l'implantation d'une application. Cela se traduit par la modélisation du surcoût par rapport à une solution classique; # L'étude de l'intégration de la robustesse au flot de conception. Cela se traduit par la mise au point d'une méthode de synthèse orientée fiabilité.

Résumé du projet de recherche (Langue 2)

La spectaculaire et continue augmentation de la densité d'intégration en technologie CMOS a permis l'accroissement de la puissance de calcul potentielle des systèmes et, par là même, contribué à améliorer leur compacité et leur autonomie. Seulement, cette avancée a été accompagnée d'une baisse du rendement de fabrication, alors que la maîtrise des rendements et de la fiabilité est une préoccupation majeure dans les secteurs industriels et commerciaux à forte concurrence et pour lesquels des traitements du signal de forte complexité et des puissances de calcul élevées sont requis. L'industrie électronique européenne s'oriente progressivement vers un modèle économique caractérisé par un éloignement des unités de manufacture, celles-ci étant concentrées dans d'autres régions, notamment en Asie. Cette évolution a pour effet de rendre indirecte l'action des acteurs européens sur les composants et les procédés de fabrication. En s'attaquant au problème de la fiabilisation au niveau architectural, cette thèse contribue à surmonter une difficulté majeure de l'industrie électronique européenne. Par ailleurs, les contraintes de fiabilité constituent un réel défi aux concepteurs architectes de circuits puisque les progrès réalisés dans les procédés de fabrication seuls ne peuvent pas répondre à toutes les demandes.

Informations complémentaires (Langue 1)

Cette thèse s'inscrit dans le cadre des activités de Télécom ParisTech sur la fiabilité des circuits électroniques. Ces activités sont regroupées dans le projet NanoElec. Au cours des dernières années, l'équipe du projet NanoElec a développé plusieurs partenariats en Europe et en Amérique Latine (notamment le Brésil et l'Uruguay). Ces partenariats incluent une aide à la mobilité. En tant que doctorant associé au projet NanoElec, l'étudiant effectuant les travaux de recherche décrits dans cette proposition pourra effectuer des séjours dans les laboratoires partenaires.

Informations complémentaires (Langue 2)

Les travaux de recherche de cette thèse s'inscrivent dans le plan d'activités du projet NanoElec qui porte sur les nouvelles problématiques de l'électronique. Dans une première phase, l'équipe NanoElec a mis au point des méthodes et des outils pour l'évaluation de la fiabilité des opérateurs numériques. La thèse s'appuiera sur les résultats de ces travaux, notamment en ce qui concerne l'objectif 2.