

Architecture multiprocesseur pour système embarqué et applications dynamiques : structures mémoire et de communication

Mots clés :

- **Directeur de thèse** : Marc Shapiro
- **Co-encadrant(s)** :
- **Unité de recherche** : Laboratoire d'informatique de Paris 6
- **Ecole doctorale** : École Doctorale Informatique, Télécommunications, Électronique de Paris
- **Domaine scientifique principal**: Divers

Résumé du projet de recherche (Langue 1)

Dans le cadre des systèmes embarqués, les applications sont de plus en plus exigeantes en termes de performance et d'efficacité. Ceci est vrai dans les domaines de l'automobile, de l'aérospatial, de la défense ou encore par exemple des télécommunications. Pendant près de 40 années, les innovations technologiques se sont succédées dans le but de réduire les temps d'exécution. Certaines ont consisté à réduire le temps de traitement et à améliorer les fréquences de fonctionnement. D'autres ont tenté d'augmenter le débit de traitement des instructions en augmentant le nombre de traitements effectués par unité de temps. Ces composants dédiés aux calculs intensifs, ou encore appelés « architectures parallèles » au niveau instruction, consistaient en fait à segmenter le traitement des instructions ou à accroître le nombre de ressources pour exécuter plus d'instructions simultanément. Ces architectures doivent cependant aujourd'hui répondre à des contraintes de plus en plus élevées, que ce soit au niveau des performances, du coût, de la consommation d'énergie ou de la programmabilité. Le maintien des modèles d'exécution privilégiés jusqu'alors n'est donc plus possible et de nouvelles solutions architecturales doivent être proposées aux industriels pour répondre aux exigences des applications visées tout en maîtrisant leur efficacité énergétique et transistor. Dans ce contexte, le CEA LIST s'intéresse à la conception d'architectures parallèles sur puce intégrant des centaines d'éléments de calcul et capables d'exploiter un parallélisme au niveau tâche. Ces multiprocesseurs, encore appelés « many-core », permettent ainsi d'augmenter encore les performances et l'efficacité des systèmes embarqués. Une des difficultés est d'être capable d'utiliser efficacement ces très nombreuses ressources de calcul. En effet, comment programmer une telle architecture et comment maîtriser l'exécution des applications ?

Résumé du projet de recherche (Langue 2)

L'approche de cette thèse est de trouver le meilleur compromis entre un support logiciel et matériel de la gestion de données et des communications. Pour cela, le doctorant devra étudier les besoins applicatifs et proposer une hiérarchie de mémoire cache innovante répondant aux contraintes des systèmes embarqués. Des mécanismes de préchargement automatique pourront être par ailleurs mis en place. Il faudra également proposer une méthode efficace pour le partage des données et les communications dans un environnement d'exécution à dominante distribué. Un prototype devra être réalisé et différentes applications devront être portées pour démontrer les performances et la pertinence des solutions mises en oeuvre.

Informations complémentaires (Langue 2)

Thèse encadrée par M. Nicolas Ventroux, au Laboratoire d'Intégration des Systèmes et des Technologies (LIST) du Commissariat à l'Énergie Atomique et aux Énergies Alternatives (CEA)