

Conception d'architectures de modulateurs sigma delta pour des applications large bande et faible distorsion

Mots clés :

- **Directeur de thèse** : PATRICK LOUMEAU
- **Co-encadrant(s)** :
- **Unité de recherche** : Laboratoire Traitement et Communication de l'Information
- **Ecole doctorale** : École Doctorale Informatique, Télécommunications, Électronique de Paris
- **Domaine scientifique principal**: Divers

Résumé du projet de recherche (Langue 1)

Contexte scientifique: Ce travail de thèse se focalise sur les convertisseurs analogique numérique à sur-échantillonnage de type Sigma Delta pour des applications nécessitant une large bande passante (>20MHz) et un faible taux de distorsion harmonique (<-86dBc). Pour atteindre ces performances, l'architecture pipeline est encore largement utilisée [1] [2] [3]. Cependant, l'évolution très rapide de la technologie CMOS a permis au convertisseur à sur-échantillonnage de type Sigma Delta de devenir un candidat potentiel pour les applications large-bande. Aujourd'hui, un modulateur Sigma Delta est capable de convertir 20 MHz de bande passante avec une linéarité de -86dBc (14 bits) [4] ou encore 125 MHz de bande mais avec une linéarité limitée à -74dBc (12 bits), [5]. Dans [6], la linéarité dépasse 14 bits mais la bande passante du modulateur est limitée à 10MHz. Ce travail de thèse se focalisera sur l'étude et le développement d'architectures de modulateur Sigma Delta permettant d'atteindre des performances en termes de linéarité de l'ordre de 16 bits (SFDR>96 dBc) dans des bandes passantes >20MHz. Afin de valider les architectures et les concepts développés, un ou plusieurs prototypes seront réalisés en technologie CMOS ou BiCMOS. D'autre part, la figure de mérite (FOM) étant le critère permettant de comparer une réalisation par rapport à l'état de l'art, l'aspect de consommation devra être également pris en compte lors de la conception des prototypes. Tous les modulateurs Sigma Delta développés pendant cette thèse devront avoir une FOM qui les situera au delà de l'état de l'art actuel. Planning prévisionnel : - Etat de l'art des architectures de convertisseurs analogique numérique avec une attention particulière sur les architectures sigma delta. - Etude d'architectures existantes pour les applications à large bande passante et faible distorsion harmonique. Propositions de solutions innovantes. - Conception de prototypes - Caractérisation en laboratoire - Rédaction du rapport de thèse [1] Janet Brunsilius et. al., "A 16b 80MS/s 100mW 77.6dB SNR CMOS Pipeline ADC", ISSCC 2011, Digest of technical papers, pp 186-188, Session 10. [2] Robert Payne et. al., "A 16-Bit 100 to 160 MS/s SiGe BiCMOS Pipelined ADC With 100 dBFS SFDR", IEEE Journal Of Solid State Circuit, VOL. 45, NO. 12, pp 275-278, DECEMBER 2010. [3] Ahmmed A. M. Ali et. al., "A 16-bit 250-MS/s IF Sampling Pipelined ADC With Background Calibration", Journal Of Solid State Circuit, VOL. 45, NO. 12, pp 2602-2612, DECEMBER 2010. [4] Gerhard Mitteregger et. al., "A 20-mW 640-MHz CMOS Continuous time SD ADC with 20-MHz signal bandwidth 80 dB Dynamic Range and 12-bit ENOB, IEEE Journal Of Solid State Circuit, VOL. 41, NO. 12, pp 2641-2649, DECEMBER 2006. [5] Muhamed Bolatkel et. al., "A 4GHz CT ?? ADC with 70dB DR and -74dBFS THD in 125MHz BW", ISSCC 2011, Digest of technical papers, pp 470-471, Session 27. [6] Wenhua Yang et. Al., " A 100mW 10MHz-BW CT DS Modulator with 87dB DR and 91dBc IMD", ISSCC 2008, Digest of technical papers, pp 498-499, Session 27.

Résumé du projet de recherche (Langue 2)

Aujourd'hui, un modulateur Sigma Delta est capable de convertir 20 MHz de bande passante avec une linéarité de -86dBc (14 bits) [4] ou encore 125 MHz de bande mais avec une linéarité limitée à -74dBc (12 bits), [5]. Dans [6], la linéarité dépasse 14 bits mais la bande passante du modulateur est limitée à 10MHz. Ce travail de thèse se focalisera sur l'étude et le développement d'architectures de modulateur Sigma Delta permettant d'atteindre des performances en termes de linéarité de l'ordre de 16 bits (SFDR>96 dBc) dans des bandes passantes >20MHz. Afin de valider les architectures et les concepts développés, un ou plusieurs prototypes seront réalisés en technologie CMOS ou BiCMOS. D'autre part, la figure de mérite (FOM) étant le critère permettant de comparer une réalisation par rapport à l'état de l'art, l'aspect de consommation devra être également pris en compte lors de la conception des prototypes. Tous les modulateurs Sigma Delta développés pendant cette thèse devront avoir une FOM qui les situera au delà de l'état de l'art actuel.