

Conception fabrication et caractérisation d'un photorécepteur cohérent en filière PIC InP pour les applications 100-400Gbit/s

Mots clés :

- **Directeur de thèse** : Badr-Eddine BENKELFAT
- **Co-encadrant(s)** :
- **Unité de recherche** : Services répartis, Architectures, MOdélisation, Validation, Administration des Réseaux
- **Ecole doctorale** : École Doctorale Informatique, Télécommunications, Électronique de Paris
- **Domaine scientifique principal**: Divers

Résumé du projet de recherche (Langue 1)

La forte croissance du trafic des données et de la vidéo en comparaison des services voix traditionnelles nécessitent aujourd'hui des solutions de transport sur fibre optique de type 100-Gb/s Ethernet (100GE). Ainsi plusieurs alternatives sont proposées pour implémenter des canaux 100GE fonctionnant en mono-longueur d'onde. A ce titre, la modulation des signaux en multi-niveaux de type QPSK (Quadrature-Phase-Shift Keying) combinée à un multiplexage de la polarisation du signal lumineux (PM-QPSK) a fait l'objet de plusieurs travaux de recherche [1]–[4]. L'avantage principal de cette approche réside dans son habilité à coder 4 bits par symbole tout en maintenant un débit de base (communément appelé « baud rate ») représentant le quart du débit de transmission (25-Gbaud pour du 100-Gb/s). A cette vitesse réduite et grâce aux progrès remarquables des convertisseurs analogiques numériques rapides (ADCs) une détection de type cohérente peut être implémentée et associée à un traitement numérique du signal (DSP). Un photorécepteur cohérent requière pour un fonctionnement optimal, une faible erreur de phase et un déséquilibre faible du coefficient de réponse des photodiodes. L'intégration monolithique du mixeur cohérent (90° optical hybrid) et des photodiodes au sein d'une même plate-forme de type circuit photonique intégré réalisée sur un substrat semi-conducteur InP permet de fixer les relations de phase en sortie du mixeur et permet d'éliminer les différences de chemin optique. De plus, une solution de type PIC ou plusieurs fonctions optiques sont intégrées au sein de la même puce photonique réalisée en matériau semi-conducteur III-V simplifie le procédé d'assemblage et réduit les coûts associés à la mise en boîtier [6]. Au sein d'Alcatel-Lucent Bell Labs France, le département PIC III-V étudie et développe un détecteur cohérent en filière PIC III-V pour les applications à un débit de 100-Gb/s. Par ailleurs, des détecteurs amplifiés intégrant de façon monolithique sur la même puce un amplificateur optique à semi-conducteur (SOA) et une photodiode très haut débit sont développés pour les applications de type data communications (interconnexions entre routeurs etc...). Basée sur une structure de détecteur cohérent récemment brevetée par Alcatel-lucent III-V Lab, une nouvelle conception de photorécepteur comprenant un préamplificateur optique intégré a été proposé. Cette structure associe un amplificateur optique à semi-conducteur réalisé en technologie enterrée, deux mixeurs cohérents obtenus avec un MMI 2x4 (Multi-Mode Interferometer) et 8 photodiodes très haut débit de type UTC (Uni-Traveling Carrier). Un fort intérêt est identifié aujourd'hui pour accroître la densité d'intégration de notre PIC cohérent et réduire ainsi son coût. Toutefois, une intégration aussi complexe nécessitera un contrôle précis lors de la fabrication de la section passive (MMI 2x4) sans compromettre les performances des sections actives de préamplification optique et de photodétection.

Résumé du projet de recherche (Langue 2)

L'objectif de cette thèse consistera à concevoir et réaliser un photorécepteur cohérent amplifié fonctionnant à une longueur d'onde de $1,55\mu\text{m}$ pour les applications à 100 et 400-Gb/s. Dans une première phase des simulations optiques seront menées pour optimiser la structure du PIC et permettre à la fois un fort coefficient de réponse avec un faible déséquilibre entre les différentes voies et un faible bruit sur l'ensemble de la bande optique C. En parallèle, une structure de photodiode très large bande permettant un fonctionnement à 100-Gb/s et au-delà sera étudiée sur la plate-forme PIC par épitaxie sélective. Un élément critique de la conception de ce dispositif réside dans l'optimisation du guide optique permettant le couplage du signal entre le SOA, la section passive MMI et les diodes UTC pour améliorer les performances globales de notre photorécepteur tout en évitant les réflexions parasites de lumière vers le SOA. Enfin, des lignes d'accès RF seront optimisées pour réduire les pertes HF et assurer une intégration en boîtier de notre PIC sans dégradation de ses performances. Le développement du procédé de fabrication constituera une étape importante de ce travail de thèse. Il sera mené en collaboration avec l'équipe en charge de la technologie au sein du département et inclura entre autres l'optimisation par lithographie électronique de la fabrication du ruban de l'amplificateur ainsi que de la section de démodulation réalisée par un MMI. A l'issue de cette étape, des caractérisations électriques, optiques et optiques/électriques des photorécepteurs ainsi réalisés seront menées pour tester les différentes fonctions du composant. Enfin, un banc de test utilisant un oscilloscope temps réel sera optimisé pour qualifier la réponse en phase des différents canaux du PIC cohérent et ses diagrammes de constellations. L'intégration monolithique au sein d'une même puce PIC de plusieurs fonctions en utilisant des dispositifs (SOA, MMI, guide, UTC) ayant des structures verticales très différentes nécessitera probablement des compromis. Aussi, un traitement numérique du signal sera mis en place pour compenser certaines imperfections. Des simulations de transmission sur fibre optique en utilisant les caractéristiques du récepteur PIC cohérent seront menées en collaboration avec Télécom Sud Paris afin d'analyser les performances à très haut débit (100-Gb/s et au-delà).