

# Etude d'architectures de réseaux d'interconnexions reconfigurables pour une carte multi-FPGAs

## Mots clés :

- **Directeur de thèse** : Habib Mehrez
- **Co-encadrant(s)** :
- **Unité de recherche** : Laboratoire d'informatique de Paris 6
- **Ecole doctorale** : École Doctorale Informatique, Télécommunications, Électronique de Paris
- **Domaine scientifique principal**: Divers

## Résumé du projet de recherche (Langue 1)

Les systèmes sur puce (SoC) sont de plus en plus complexes. Leur vérification devient un challenge très difficile à franchir. Il faut non seulement vérifier le matériel mais aussi valider l'intégration du logiciel embarqué. Les méthodes de vérification classiques utilisent la simulation logicielle mais celle-ci souffre d'un handicap qui est de plus en plus important qui est celui de la lenteur d'exécution. L'émulation est une alternative qui a pris une place importante dans le flot de vérification offrant des fréquences de simulation largement supérieures à la simulation logicielle, mais avec des coûts importants. Les simulateurs permettent de simuler des circuits complexes à des fréquences de quelques centaines de KHz. Ces fréquences restent limitées pour exécuter du logiciel et des milliards de cycle d'opérations logicielles tout en utilisant les interfaces et l'environnement réel des applications futures. Le prototypage rapide sur FPGA est la seule alternative viable pour répondre aux challenges décrits précédemment, et ceci grâce : - à la logique programmable qui permet d'atteindre plusieurs MHz de fréquence de simulation, - aux architectures à base de FPGA qui sont flexibles et peuvent être modulées pour tout type de circuit, - à une facilité relative à construire des systèmes avec une large capacité logique. Plusieurs solutions ont vu le jour et reposent sur des cartes basées sur des architectures multi-FPGAs. Très souvent, ces circuits sont reliés entre eux par un réseau d'interconnexions comportant un nombre déterminé de liens physiques et un brochage fixé à l'avance. Le flot logiciel de configuration permet de synthétiser les architectures à vérifier et de les partitionner sur les FPGAs disponibles. Ensuite, une étape importante consiste à router les signaux issus des différents FPGAs. La génération du bitstream (bits de configuration) se fait après placement et routage à l'intérieur de ces FPGAs. Objectifs de la thèse : Le réseau d'interconnexions inter-FPGAs étant figé par les liens physiques reliant les FPGAs entre eux, il ne permet donc pas de profiter pleinement des particularités de l'application à vérifier. La thèse vise l'étude et le développement d'architectures de cartes multi-FPGAs basées sur un réseau d'interconnexions inter-FPGAs reconfigurable augmentant ainsi la souplesse des interconnexions et le routage dynamique des signaux entre les différents circuits. L'étude nécessitera l'exploration d'architectures de différents réseaux et d'algorithmes de routage pour permettre la mise en œuvre d'outils de routage inter-FPGAs en lien direct avec l'outil de partitionnement afin prendre en compte les contraintes de partitionnement.

## Résumé du projet de recherche (Langue 2)

Cette étude ouvrira la voie pour disposer : - d'une plateforme matérielle hétérogène et configurable - d'une architecture logicielle générique - d'une compatibilité assurée logiciel/matériel - d'un flot de compilation automatique et générique - d'un environnement extensible de conception et de validation de SoC. Et pour vaincre les verrous technologiques suivants : - réduction du temps de prototypage - fréquence de simulation supérieure à la concurrence - une capacité logique importante - un faible coût